

## Zusammenfassung

Systems-on-Chip (SoCs) sind heutzutage weit verbreitet und decken ein breites Spektrum der Elektronik vom Verbraucher bis hin zu kritischen Anwendungen ab. Diese Vielfalt bedeutet, dass SoCs unterschiedliche Komplexitätsgrade haben und zu den kommenden Generationen zunehmend komplexer werden. Allerdings bedeutet diese Zunahme an Komplexität und Funktionalität auch, dass die Lücke zwischen der Entwicklung des Designs und der Notwendigkeit zu Verifizierung desselben immer größer wird. Um diese Lücke in der Verifizierung von komplexen Architekturen zu schließen, wird sowohl in der Industrie wie auch in der Wissenschaft an neuen Techniken und Methoden geforscht, die die in vielen verschiedenen Richtungen gehen, basierend auf aktuelle Überprüfungsalgorithmen wie Simulation, Emulation, virtuelles und FPGA-Prototyping sowie formale Verifikationsverfahren. Trotzdem ist bis jetzt kein Verifikationsalgorithmus in der Lage eine komplexe Architektur zu 100% abzudecken. Aktuelle Trends die versuchen diese Lücke zu schließen, beinhalten einen höheren Abstraktionsgrad, eine Kombination von Verifikationsalgorithmen und Software-gesteuerte Verifizierung auf Systemebene. In dieser Arbeit konzentrieren wir uns darauf, die Verifikationsergebnisse auf Systemebene zu verbessern. Zunächst kümmern wir uns um die Hardware-Abdeckung auf der Hardware Ebene. Anschließend kombinieren wir auf der Systemebene Hardware und eingebettete Software, um die Verifizierungsmöglichkeiten zu erweitern, indem wir untersuchen, wie eine Verifizierung von der anderen profitiert. Unser erster Beitrag verwendet einen heuristischen sowie einen iterativen Prozess, um die Hardware-Abdeckung zu erhöhen. Der selbstentwickelte Prozess wählt die besten Hardware-Elemente für die statische Zuordnung aus, während zur selben Zeit vermieden wird, dass das Design überbestimmt wird. Wir haben auch einen iterativen Prüfungsprozess entwickelt, welche zunächst die einzelnen Portionen der Architektur separat verifiziert und diese später erweitert, um das Hardware-Design möglichst vollständig abzudecken. Für unseren zweiten Beitrag betrachten wir eine Subsystem-Verifikation und nutzen dafür einen szenariobasierten Ansatz für Hardware und Software, um den Zustandsraum zu optimieren und gleichzeitig die Überbestimmung der Umgebung zu vermeiden. Beide Ansätze werden durch neue automatisierte Prozeduren zur Erstellung von Konnektivitätsprüfern für Systemverbindungen unterstützt. Tests unter Verwendung eines Gateway-Prototypen könnten sowohl 75% der Architektur verifizieren wie auch die Anzahl an unbestimmten Eigenschaften der gesamten Architektur um zwei Größenordnungen reduzieren. Wir sind zuversichtlich, dass unser Ansatz die Abdeckung bei der Überprüfung komplexe Systeme verbessert und dabei hilft, die Verifizierungslücke zu schließen.