

Konzepte zur lithographieunabhängigen Skalierung von vertikalen Kurzkanal-MOSFETs und deren Bewertung

Thomas Schulz, Infineon Technologies AG, CPR ND München

Moderne planare MOSFETs werden mittels KrF-Excimer-Laser-Lithographie ($\lambda=248\text{nm}$) hergestellt und können mit Hilfe von teuren Phasenmasken Strukturgrößen von bis zu 130nm erreichen. Sub-100nm-Strukturen verlangen jedoch völlig neue Lithographie-Systeme, die aber bis heute noch nicht produktionsstauglich sind. Die vorliegende Arbeit liefert einen Beitrag zur Entwicklung neuartiger MOSFET-Strukturen, die sich durch einen vertikalen Aufbau von Source, Gate und Drain auszeichnen.

Vertikale MOSFETs werden zur Zeit für DRAM-Speicher mit Integrationsdichten über 1Gbit entwickelt. Alternative Speicher mit vertikalen MOSFETs wurden von der Universität Stanford für EEPROMs und von Hitachi/Universität Cambridge für neue Speicher-Konzepte ("PLEDM") vorgeschlagen. Einfache ROM-Speicher wurden bereits für 64Mbit-Produkte qualifiziert. Bei diskreten Leistungs-MOSFETs sind vertikale Anordnungen Stand der Technik.

In Logik-Produkten konnten sich vertikale MOSFETs aufgrund mangelhafter Optimierung von parasitären Kapazitäten und Widerständen bisher nicht gegenüber planaren MOSFETs durchsetzen. Neue Ansätze wie der "Vertical Replacement Gate" (VRG)-MOSFET von Lucent/Bell Labs und vertikale Double-Gate-MOSFETs wie der sogenannte FINFET von der Universität Berkeley werden zur Zeit intensiv untersucht und gelten als leistungsfähige Kandidaten für zukünftige "High Performance"-Logik-Schaltungen.

Im Rahmen dieser Arbeit wurden vertikale Kurzkanal-Transistoren mit Kanallängen von bis zu 50nm mittels einer herkömmlichen i-line-Lithographie ($\lambda=365\text{nm}$) lithographieunabhängig realisiert. Dabei wurden unterschiedliche Konzepte vertikaler MOSFETs in den Laboren der Siemens AG bzw. Infineon Technologies AG entwickelt, simuliert, hergestellt und elektrisch charakterisiert. Hierfür stand eine Produktionsumgebung mit etablierten Einzelprozessen für 0,35 μm -CMOS/Bipolar-Technologien in München-Perlach zur Verfügung.

Der zuerst realisierte vertikale Seitenwand-MOSFET mit einer Kanallänge von 100nm und einer Gateoxidstärke von 3nm erreicht z.B. ein $I_{\text{ON}}/I_{\text{OFF}}$ -Verhältnis von 240 $\mu\text{A}/5\text{pA}$ bei einer Versorgungsspannung von 1,5V. Um Kurzkanal-Effekte bei einer Verkürzung der Kanallänge auf 50nm zu unterdrücken, wurde in einem weiteren Experiment die Kanaldotierung von $1\text{E}18\text{cm}^{-3}$ auf $7\text{E}18\text{cm}^{-3}$, entsprechend den Skalierungsvorgaben der ITRS-Roadmap, angepaßt. Dabei hat sich gezeigt, daß bei derart hohen Kanaldotierungen Zener-Tunnelströme den Leckstrombereich dominieren und daß aufgrund quantenmechanischer Effekte die Einsatzspannung zu höheren Werten verschoben wird. In einem dritten Experiment wurde daraufhin der Seitenwand-MOSFET zu einem vertikalen Double-Gate-MOSFET weiterentwickelt, da es mit diesem Konzept möglich ist, die Nachteile der hohen Kanaldotierung zu umgehen. Die Einsatzspannung muß bei derartigen Konzepten allerdings mit der Austrittsarbeit des Gate-Materials eingestellt werden, was bei der Durchführung des Experiments, mit Rücksicht auf die Produktionsumgebung, nicht möglich war.

Die Studien zeigten, daß vertikale MOSFETs eine vergleichbare Leistungsfähigkeit wie konventionelle planare MOSFETs erreichen. In der Dissertation werden Vorteile und Nachteile der unterschiedlichen Konzepte aufgezeigt. Der Einsatz vertikaler MOSFETs in Speicher-Produkten wird mittelfristig vorbereitet. Für Logik-Anwendungen sind konventionelle planare MOSFETs vorteilhafter, solange eine Strukturverkleinerung durch neue Lithographie-Systeme kostengünstig möglich ist. Bei der Double-Gate-Struktur besitzen vertikale gegenüber planaren Konzepten Vorteile in der Herstellung, ein Einsatz in Produkten ist im letzten Fall aber eher langfristig zu erwarten.